

应用笔记

Application Note

AN1151

APM32F072 系列应用注意事项

版本：V1.0

1 引言

本应用笔记提供在 APM32F072 系列应用时需要注意的事项。

目录

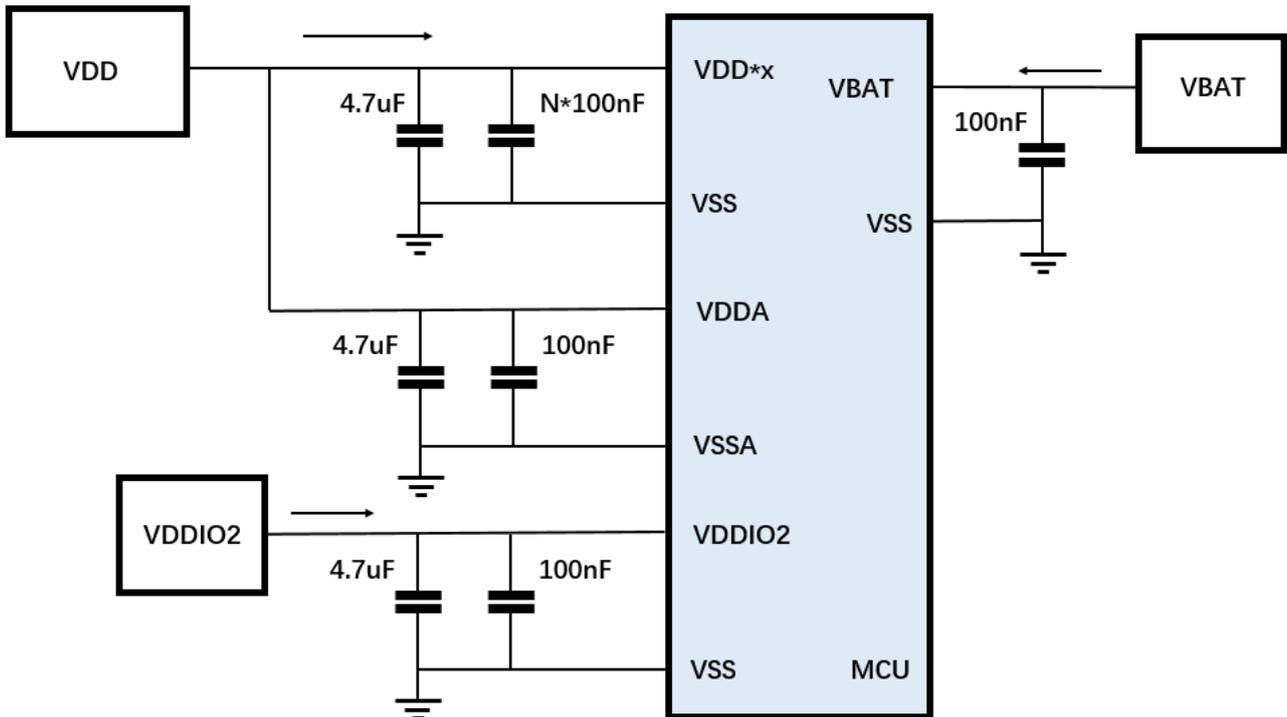
1	引言.....	1
2	硬件应用设计注意.....	3
2.1	MCU 滤波电容设计.....	3
2.2	MCU 供电斜率注意事项.....	3
2.3	外设模块使用 VDD、VSS.....	4
2.4	外部及高频信号.....	5
2.5	Input/Output 信号端口串接限流电阻、 并接电容到 VSS.....	5
2.6	IO 电压不能高于 VDD 电压.....	6
2.7	暴露在外的端口注意防护.....	6
3	软件应用注意事项.....	8
3.1	GPIO 操作注意事项.....	8
3.2	延时注意事项.....	8
3.3	RTC 注意事项.....	8
3.4	BOOT 引脚.....	8
3.5	TSC_IO 采样注意事项.....	8
3.6	TSC_CNT6 差异.....	9
3.7	SPI 低压切换极性注意事项.....	9
3.8	I2S 注意事项.....	9
3.9	比较器.....	9
3.10	PLL 低频输出不稳.....	10
3.11	I2C 注意事项.....	10
4	仿真器/烧录工具使用注意事项.....	11
4.1	IAR 兼容.....	11
4.2	烧录.....	11
4.3	ISP 下载.....	11
5	版本历史.....	12

2 硬件应用设计注意

2.1 MCU 滤波电容设计

芯片电源端口需要并联大小滤波电容，电容的有效性取决于最佳放置和连接类型，PCB 布局需星型走线注意外部电源先经过大小电容再接入芯片，大小滤波电容尽量靠近芯片 4mm 以内放置。电容设计参考如下图 1。

图 1 电容设计



VBAT 引脚可以连接到外部电池(1.8V < 3.6V)。如果没有外部电池，则一个外部 100nF 的陶瓷电容一起连接到 VDD 电源上。

VDD 必须连接外部电容(N 个 100nF 的陶瓷电容和一个不小于 4.7 μ F 钽电容)的 VDD 电源。VDD*x 表示 VDD 的个数是 x 个。

VDDA 与 VDD 相连，给 ADC、DAC、HSICLK、LSICLK、PLL 和复位模块供电。使用 ADC 时，VDDA 大于等于 2.4V。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。

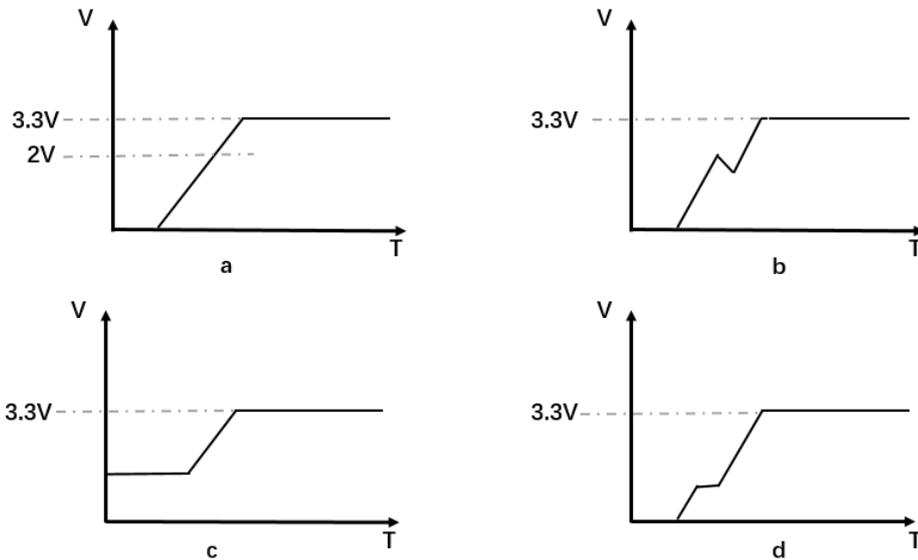
VDDIO2 引脚给部分 IO 供电。

2.2 MCU 供电斜率注意事项

MCU 供电斜坡率需满足要求的最大值和最小值限值，即大于 0.5V/min 和小于 100V/ms。从 0V

到 3V 的上下电时间需要至少需 30us，上电速率过快或过慢可能导致 MCU 无法正常工作；MCU 掉电要求掉电至 300mV 以下再重新上电，以上时间需在全温范围下满足要求。上电启动波形需满足图 2 中 a 的波形，其余三种波形均不正确。

图 2 上电波形



2.3 外设模块使用 VDD、VSS

在使用 MCU 控制外部模块的供电或上电过程中，应当避免过快的上电速率，以防止因电流突变而导致的 VDD 电压被拉低的问题。为确保系统稳定运行并保护电路免受潜在损害，建议采用适当的延时措施来平稳地进行供电转换。

可以在 MCU 电源端增加适当的缓冲元件，例如电容、电阻来组件缓冲电源快速上下电速度，不至于 VDD 因为瞬时的大电流需求导致电压骤降，如因此导致 VDD 骤降，下降速度也必须符合 MCU 供电斜坡率要求。如图 3 和图 4 场景，为了规避电源波动，可在控制电路上串一个缓冲电路（MOS 管、电容、电阻组成），或在电路上串一个 10R 电阻和并一个 10uF 以上电容，组成抗快速上掉电电路。如果电容足够大，掉电将很缓，且降电幅度可以很小。

图 3 IO 控制外设模块供电

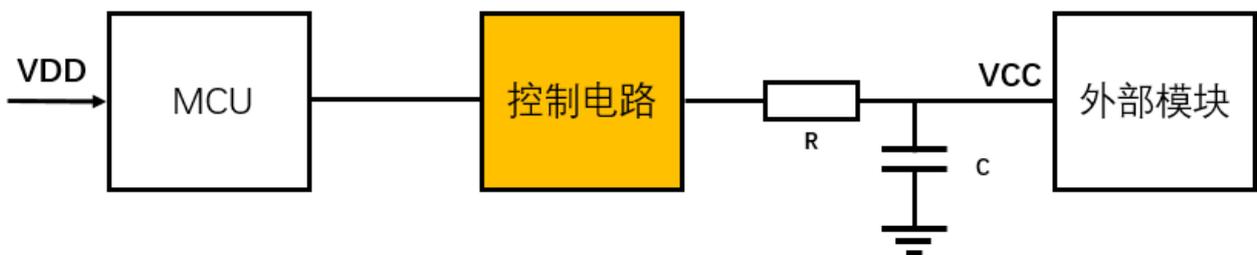
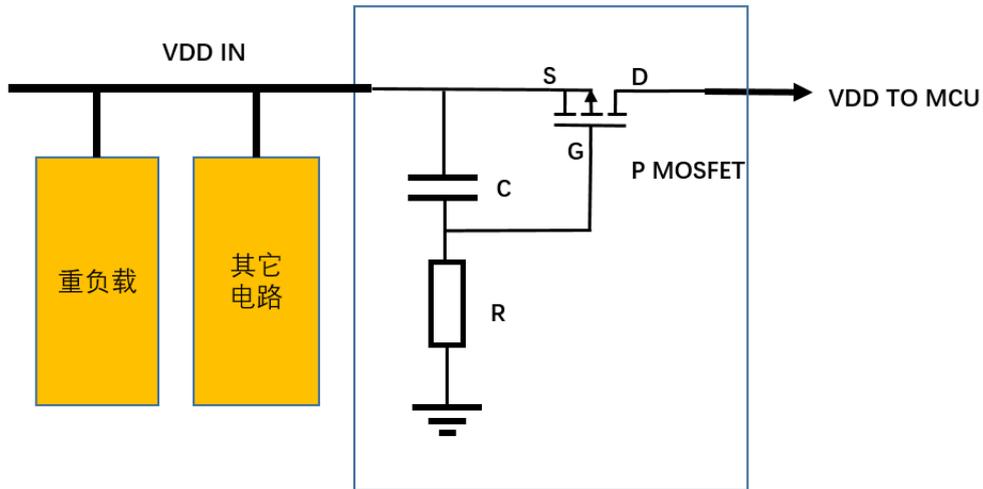


图 4 外设共用电源



2.4 外部及高频信号

如过零信号、继电器信号、AC 负载等，需注意是否会产生瞬间加大负载的情况，可通过旁路电容方式减缓负载冲击。

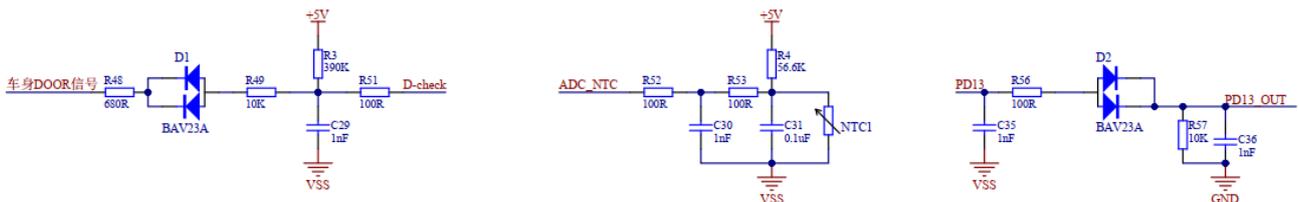
如高频 IIC 时钟线、高频 SPI 时钟线等，需注意是否会产生瞬间尖峰电流。

2.5 Input/Output 信号端口串接限流电阻、 并联电容到 VSS

Input/Output 端口（比如：ADC，外部中断，通信接口等），建议电路设计时串接保护电阻，阻值需考虑并计算理论最大电流不能超出芯片端口承受的极限参数；串接的电阻和并联电容均要尽可能地靠近芯片引脚放置，且须先串接电阻，再并联电容。外设模块的滤波电容的地一定要接(VDD、VSS)经过大小滤波电容后的地。如图 5，IO 端口串接 100R 电阻，并联 1nF 电容。

注意：PCB 相互连接的设计中（类似灯具和控制模块分开、传感器和控制模块分开），这种串接电阻，并联电容一定要放置在芯片的 PCB 板上，合理的参数及放置位置能有效防止 ESD/EOS 对芯片端口的损坏。

图 5 电阻电容连接示例



如果是按键电路，推荐如下：

图 6 按键电路

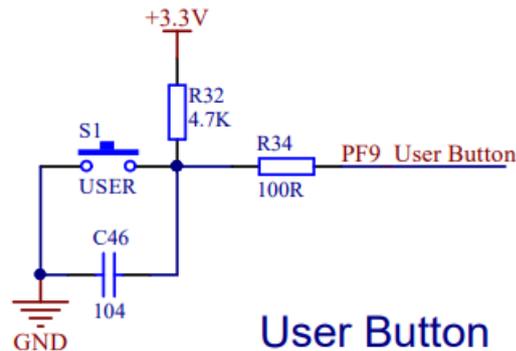


图 6，在 GPIO 串一个小电阻 R34，如 100R，同时在画板时尽量将电容 C46 靠近按键 S1 放置。规避按键产生的冲击负压。

2.6 IO 电压不能高于 VDD 电压

当 IC 未有 VDD 供电，而 IO 口却存在电压时，则该电压会通过上拉保护二极管向 IC 进行供电。或是当 IC 有 VDD 供电，但 IO 口却存在比 VDD 更高电压时，该电压与 VDD 之间的压差使得上拉保护二极管导通，使得电流流入 VDD。正常情况下 IO 不能高于超过 VDD +0.3V。

此现象易引发以下危害：

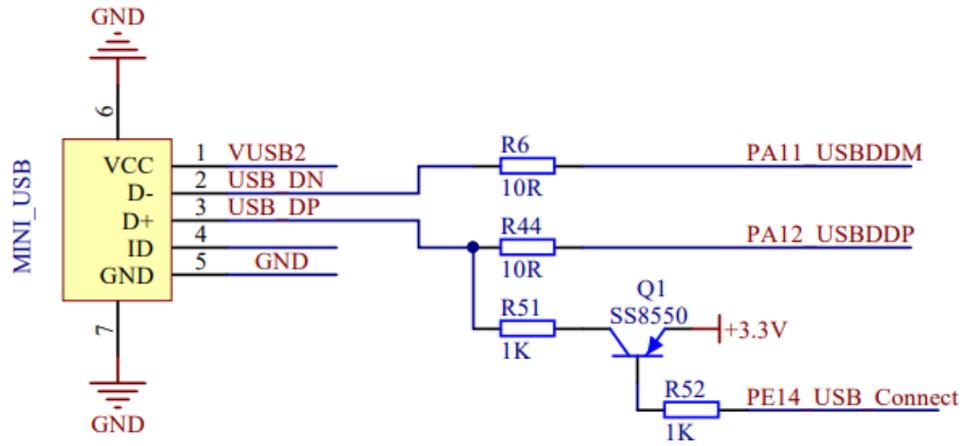
- (1) 电流太大会将使 IO 口上的钳位二极管迅速过载并使其损坏。
- (2) 会使单片机复位不成功。
- (3) 会使芯片程序紊乱。
- (4) 会出现门锁效应。

2.7 暴露在外的端口注意防护

如通信口，需要加 ESD 防护措施。可在信号线上串联一个小电阻（如 10R、100R）限制 ESD 电流的幅度；可使用瞬态电压抑制器二极管(TVS)并联在信号线上，靠近接口位置。如图 7 通信电路。

烧录口存在热拔插风险，需注意防护，连接时先接触 GND 再接触 IO。

图 7 通信电路



3 软件应用注意事项

3.1 GPIO 操作注意事项

1. 未使用到的 GPIO 端口，需将其设置为输出低电平或外部接 100Ω 电阻下拉。
2. GPIO 端口的复用功能，需避免不同 GPIO 引脚配置相同的复用功能！
3. 芯片 VDD 上电从 0V-2V 区间，GPIO 端口处于不确定态，需注意 GPIO 不定态对后级驱动电路稳定性的影响；VDD 上电高于 2V，芯片完成上电复位后，GPIO 端口状态按照程序的设置执行。
4. GPIO 端口在配置为复用推挽输出时，建议要外部接上拉电阻；配置为浮空输入时，建议外接上拉电阻，或者软件修改为上拉输入，否则电压可能会受外界影响，无法输出或者读取稳定的电平。
5. I/O 引脚模式切换，从“推挽输出高电平”直接切换到“输入模式”会有电平延迟现象。建议推挽输出高电平结束后，插入推挽低电平输出或者配成开漏上拉输出模式，再切换输入模式。或者增加 I/O 下拉输入模式的时长（例如延时 3s）。

3.2 延时注意事项

软件延时下做电平翻转时，脉宽间隔不稳定，如 `for (i=0; i<1000; i++)`。建议通过定时器来进行精准延时。

3.3 RTC 注意事项

配置 RTC 的自动唤醒重载值，选择唤醒输出，PC13 输出波形的周期比设定值少 30us 左右。如果使用 PC13 输出脉冲时，推荐使用负脉冲的方式输出。

3.4 BOOT 引脚

BOOT 引脚不能浮空。按照规格要求，正常从 Flash 启动时，BOOT0 引脚需要接地。

3.5 TSC_IO 采样注意事项

TSC 每组第 1 个 I/O 作为采样 I/O，第 2 个作为充电 I/O 时，施密特迟滞寄存器 TSC_IOHCR 值分别为 0xEEEEEEEE 和 0xFFFFFFFF 时，使能后比不使能的充电时间更长。但在正常情况下，使能后比不使能的充电时间应该更短。

当开启 TSC 时，建议统一使能施密特迟滞寄存器。

3.6 TSC_CNT6 差异

同一个 TSC_CNT, 在不同 I/O 速率下, 其数值存在较大差异。

当 TSC 最大错误计数设置的比 TSC_CNT 小, 将导致对应通道的标志位无法置起。

(1) 每组的第 1 个 I/O 用于电极充电, 第 2 个用作采样 I/O:

I/O 配置成高速模式, TSC_CNT2、TSC_CNT6 为 2500 左右。

I/O 配置成低速模式, TSC_CNT2、TSC_CNT6 为 700 或 1200 左右。

(2) 每组的第 2 个 I/O 用于电极充电, 第 1 个用作采样 I/O:

I/O 配置成高速模式, TSC_CNT3 为 3000~5000。

I/O 配置成低速模式, TSC_CNT3 为 1000 左右。

建议以下方案任选一种:

a. I/O 速率配置为低速;

b. 更改 TSC 最大错误计数设置。

3.7 SPI 低压切换极性注意事项

低压切换 SPI 时钟极性, 会将无效数据 0xFF 以及有效数据, 同时存放入移位寄存器以及数据寄存器, 从而导致 SPI 总线数据异常。

在 SPE (SPI_CR[6]) 为 1 时, 不能改变 CPOL/CPHA (SPI_CR[1]) 的值。或者软件在改变 SPI 配置时, 将 SPE 先置 0。

3.8 I2S 注意事项

把 I2S1 或 I2S2 配置为从机发送模式, 把时钟极性配置为高时, 会发现存在数据错位的现象。

把 I2S1 和 I2S2 的全部引脚属性配置为如下时, 能正常通讯:

```
GPIO_Mode = GPIO_Mode_AF
```

```
GPIO_PuPd = GPIO_PuPd_UP
```

3.9 比较器

把 COMP1/COMP2 配置成极低功率, 在极限的输入信号源下 (例如正弦波的周期过小时, 如 T=13us), COMP1、COMP2 的 COMP_OUT 在输出一小段方波后, 恒输出高电平。

通过修改比较器的模式, 由极低功率改为低功率后, COMP_OUT 输出正常。

3.10 PLL 低频输出不稳

芯片存在 PLL 输出频率低（例如小于 24MHz 时），频率不稳。

建议使用 PLL 倍频时，先使用一个较大的倍频系数，使 VCO 频率提高，然后降频输出。例如用 PLL 频率提高到 48MHz，然后通过 AHB 预分频器分频到 24MHz。

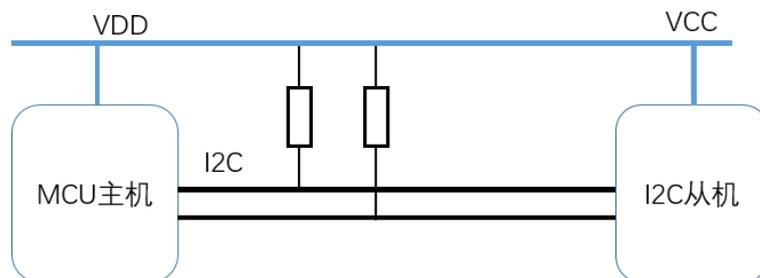
3.11 I2C 注意事项

SCL/SDA 在上拉电源突然掉电再回升的过程中，SCL/SDA 电压和逻辑时序的组合会存在触发 START 而无法触发 STOP 的可能，导致总线一直处于 BUSY 状态。建议规避方案：

1. I2C 的上拉电源须保证稳定，预防使用过程中电源不稳掉落过低的情况。常见 I2C 主从通信的场景，建议硬件如下设计：

a. 主机和从机共用电源；

图 8 I2C 通信电路



b. 主机和从机不能共用电源时，建议上拉电阻电源连主机 MCU 电源。

2. 通过复位从机也可实现释放总线。如果是 EEPROM 作为从机时，无法使用软件复位从机的方法，需要在 I2C 主机在建立新的通信时，增加总线释放功能。由于总线锁死是概率性的，可以增加总线 BUSY 状态超时功能。二者结合可以提高系统的鲁棒性。

3. 总线上的 I2C 设备，如果能识别断电，在断电前把 I2C 模块关闭。

4 仿真器/烧录工具使用注意事项

4.1 IAR 兼容

在 IAR 8.30.1 版本中, 使用 XXM32F072VB 不能正常调试, 选择 M0+内核可以调试。

建议下载 IAR 芯片支持文件包 (Geehy.APM32F0xx.AddOn_v1.0.0.exe), 安装后可进行烧录调试。

4.2 烧录

在 Keil5.27 版本上使用 XXT 的 pack, 通过 AP-LINK、ULINK2 不能烧录。

建议使用 APEXMIC.APM32F0xx_DPF 或者使用 keil.xTM32F0xx.DFP.2.2.0.pack。

4.3 ISP 下载

芯片可能无法进入 ISP 下的 DFU 升级模式。

考虑使用 IAP 方式的 DFU 下载; 或者通过迁移 F072 A5 或者新版 A1/A2 解决相关问题

5 版本历史

表格 1 文件版本历史

日期	版本	变更历史
2025.3	1.0	新建

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2025 珠海极海半导体有限公司 – 保留所有权利